

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2002-142356

(43)Date of publication of application : 17.05.2002

(51)Int.CI.

H02J 1/00

B42D 15/10

G06F 1/28

G06K 19/07

G06K 19/077

(21)Application number : 2000-334025

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 31.10.2000

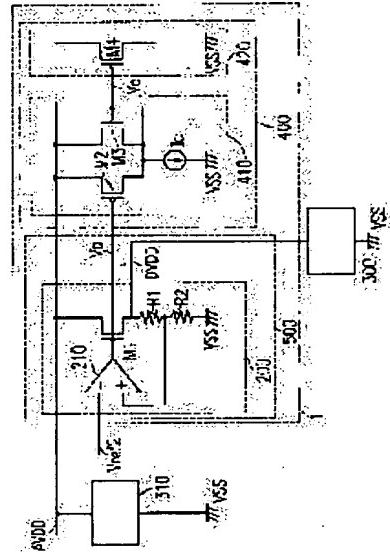
(72)Inventor : HAYASHI JOJI

(54) POWER CIRCUIT AND NONCONTACT IC CARD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress noise of a power source and source voltage variations, and to realize a high-performance power circuit by compensating the variation in current produced caused by load change of a circuit.

SOLUTION: The load impedance of the power source AVDD is always made constant, by monitoring the variation in current due to load change in a digital circuit 300 using a linear regulator 200, and causing the variation component of the circuit to flow as a compensating current from a power source AVDD to the ground VSS by a current-compensating circuit 400. As a result, noise and variations of the source voltage AVDD are reduced, and a high- performance power circuit 1 is obtained.



LEGAL STATUS

[Date of request for examination] 05.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3487428

[Date of registration] 31.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It connects between the 1st supply voltage supplied to the 1st electronic circuitry, and the 2nd supply voltage supplied to the 2nd electronic circuitry. this -- from the 1st supply voltage section -- this -- with the current detector which has a monitor terminal for carrying out the monitor of the current which flows in the 2nd supply voltage section the current which connected with this 1st supply voltage and this monitor terminal, and carried out the monitor -- this -- a power circuit equipped with the current compensating network which compensates a part for the current variation which controls the compensating current which flows from the 1st supply voltage section to a gland, and is produced by the load effect of this 2nd electronic circuitry.

[Claim 2] Said current detector has the linear regulator equipped with an operational amplifier, a transistor, and two resistance. This transistor while the source is connected to said 1st supply voltage and the gate is connected to the output terminal of this operational amplifier, a drain connects with said 2nd supply voltage -- having -- this -- two resistance The node of two resistance is connected to the non-inversed input terminal of this operational amplifier. while connecting with a serial between this 2nd supply voltage and a gland -- this -- this operational amplifier The power circuit according to claim 1 where an output terminal functions as said monitor terminal while an inversed input terminal is connected to reference voltage.

[Claim 3] the resistance to which said current detector was connected between said 1st supply voltage and said 2nd supply voltage -- having -- this -- the power circuit according to claim 1 which has a monitor terminal in a 2nd supply voltage side.

[Claim 4] Said current compensating network is a power circuit according to claim 1 to 3 which has the subtraction circuit which generates the differential current of a predetermined current and the current controlled by said monitor terminal, and the current circuit which passes the current proportional to this differential current from said 1st supply voltage section as compensating current to a gland.

[Claim 5] Said current compensating network is a power circuit according to claim 1 to 3 which has the differential amplifying circuit which generates the sum of the differential current proportional to the difference electrical potential difference of the reference voltage generating circuit which generates reference voltage, and a this reference voltage and the electrical potential difference of said monitor terminal, and a predetermined current, and the current circuit which passes the current proportional to the sum of this differential current and a predetermined current from said 1st supply voltage as compensating current to a gland.

[Claim 6] Said 1st supply voltage is a power circuit according to claim 1 to 5 connected to an analog circuit.

[Claim 7] Said 2nd supply voltage is a power circuit according to claim 1 to 6 connected to a digital circuit.

[Claim 8] Said current circuit is a power circuit according to claim 4 or 5 which passes said compensating current to a gland through the 4th resistance.

[Claim 9] the current which flows in said 2nd supply voltage section from said 1st supply voltage section -- this -- the power circuit according to claim 1 to 8 where the sum of said compensating current

which flows from the 1st supply voltage section to a gland is fixed.

[Claim 10] It has the semiconductor integrated circuit equipped with the coil antenna, and tuning capacitance, charge capacity, a rectifier circuit, an analog circuit, a digital circuit and a power circuit according to claim 1 to 9. It connects with this tuning capacitance and juxtaposition, and this coil antenna is connected to the input of this rectifier circuit. This rectifier circuit is the noncontact IC card with which this power circuit generates the 2nd supply voltage supplied to this digital circuit from this 1st supply voltage by connecting an output to this charge capacity and generating the 1st supply voltage supplied to this analog circuit.

[Claim 11] Said analog circuit is a noncontact IC card [equipped with the demodulator circuit] according to claim 10.

[Claim 12] Said semiconductor integrated circuit is a noncontact IC card according to claim 10 or 11 further equipped with the modulation circuit which is connected to said tuning capacitance and juxtaposition and is connected to the input of this rectifier circuit.

[Claim 13] Said modulation circuit is a noncontact IC card according to claim 12 which modulates circuit impedance with a modulating signal.

[Claim 14] Said rectifier circuit is a noncontact IC card according to claim 10 to 13 which is a full wave rectifier circuit.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the noncontact IC card using the power circuit and it which can control a power-source noise and line voltage variation by compensating a part for the current variation produced by the load effect of a circuit.

[0002]

[Description of the Prior Art] Usually, electronic circuitries, such as an analog circuit and a digital circuit, operate by impressing supply voltage. The current which flows in a circuit at this time changes with circuit actuation. Especially, in digital circuits, such as CPU, and a logical circuit, memory, current variation is large. Such current variation turns into a power-source noise and line voltage variation, and appears. Below, the mechanism which a power-source noise generates is explained.

[0003] Drawing 11 is drawing showing the configuration of the conventional semiconductor integrated circuit. This semiconductor integrated circuit 3 consists of a digital circuit 300 and an analog circuit 310, and a digital circuit 300 consists of CPU301 or memory 302. Supply voltage VDD is given from the exterior to this semiconductor integrated circuit 3 through the inductor L1. An inductor L1 is a parasitism inductor produced by wiring, a bonding wire, etc., and the value is for example, number nF

extent. At this time, the internal electrical power source electrical potential difference in a chip (semiconductor integrated circuit) is set to VDD1.

[0004] Here, considering the case where it changes as the current I1 consumed by a digital circuit 300 and the analog circuit 310 shows drawing 12 (b), as shown in drawing 12 (a), as for the supply voltage VDD1 in a chip, fluctuation is caused at the changing point of a current I1.

[0005] Such a power-source noise influences circuit actuation of an analog circuit 310 greatly. For example, by fluctuation of supply voltage VDD1, in the case of the comparator which has a hysteresis characteristic, the polarity of a compound value may change, and malfunction may be caused to it. Moreover, also in amplifier, there is a problem that a line-voltage-variation component is added and the quality of a signal deteriorates. Below, an example is shown about malfunction and property degradation of an analog circuit.

[0006] Drawing 13 is drawing showing the input-output behavioral characteristics of the comparator which has a hysteresis characteristic. Generally, to reference voltage, a comparator will be in a HIGH condition, when input voltage is high, and to reference voltage, when input voltage is low, it will be in a LOW condition. On the other hand, in the comparator which has a hysteresis characteristic, if an output signal Vout will be in a HIGH condition if it becomes more than the level VH to which input voltage (input signal Vin) applied offset voltage to reference voltage Vref1 as shown in drawing 13, and input voltage (input signal Vin) becomes below the level VL that lengthened offset voltage to reference voltage Vref1, an output signal Vout will be in a LOW condition. Here, the output of the comparator which has a hysteresis characteristic is in a HIGH condition, and the case where input voltage is equal to reference voltage Vref1 is considered. In this case, supposing input voltage falls below in VL by the power-source noise, the output of a comparator will be in a LOW condition from a HIGH condition, and will not return to the original value (HIGH condition).

[0007] In order to solve such a problem, from the former, the power source of an analog circuit and a digital circuit is separated, or the approach of forming capacity Cpass between supply voltage VDD1 and Gland VSS within a chip, and controlling line voltage variation has been used.

[0008]

[Problem(s) to be Solved by the Invention] However, by approach which was mentioned above, the increment in the number of pins (terminal) of a chip and area increase of the capacity formed in a chip are caused. Although 1 micro F or more is desired as a value of Cpass, the capacity value which can be formed within a chip is 1nF extent in a Standard C MOS process, and effectiveness is seldom acquired to the big load effect of a circuit.

[0009] This invention aims at offering the highly efficient power circuit and highly efficient noncontact IC card which can control a power-source noise and line voltage variation, and can control malfunction of circuits which are easy to receive effect in a power-source noise or line voltage variation, such as an analog circuit, and quality degradation of a signal by being made in order to solve the technical problem of such a conventional technique, and compensating a part for the current variation produced by load effects, such as a digital circuit.

[0010]

[Means for Solving the Problem] The power circuit of this invention is connected between the 1st supply voltage supplied to the 1st electronic circuitry, and the 2nd supply voltage supplied to the 2nd electronic circuitry. this -- from the 1st supply voltage section -- this -- with the current detector which has a monitor terminal for carrying out the monitor of the current which flows in the 2nd supply voltage section The compensating current which flows from the 1st supply voltage section to a gland is controlled. the current which connected with this 1st supply voltage and this monitor terminal, and carried out the monitor -- this -- It has the current compensating network which compensates a part for the current variation produced by the load effect of this 2nd electronic circuitry, and the above-mentioned purpose is attained by that.

[0011] By carrying out the monitor of the current which flows in the 2nd supply voltage section using a

current detector according to the above-mentioned configuration, by detecting the current variation produced by load effects, such as a digital circuit, and compensating a part for the current variation using a power-source compensating network, a power-source noise and line voltage variation can be controlled, malfunction of circuits which are easy to receive effect in a power-source noise or line voltage variation, such as an analog circuit, and quality degradation of a signal can be controlled, and a highly efficient power circuit can be realized in a low noise.

[0012] Said current detector has the linear regulator equipped with an operational amplifier, a transistor, and two resistance. This transistor while the source is connected to said 1st supply voltage and the gate is connected to the output terminal of this operational amplifier, a drain connects with said 2nd supply voltage -- having -- this -- two resistance while connecting with a serial between this 2nd supply voltage and a gland -- this -- the node of two resistance is connected to the non-inversed input terminal of this operational amplifier, and this operational amplifier is good also as a configuration as which an output terminal functions as said monitor terminal while an inversed input terminal is connected to reference voltage.

[0013] According to the above-mentioned configuration, as shown in the gestalt 1 of operation mentioned later, it is possible to act as the monitor of the part for the current variation produced by load effects, such as a digital circuit, using a linear regulator.

[0014] the resistance to which said current detector was connected between said 1st supply voltage and said 2nd supply voltage -- having -- this -- it is good for a 2nd supply voltage side also as a configuration which has a monitor terminal.

[0015] According to the above-mentioned configuration, as shown in the gestalt 2 of operation mentioned later, it is possible to act as the monitor of the part for the current variation produced by load effects, such as a digital circuit, using a current detector.

[0016] Said current compensating network is good also as a configuration which has the subtraction circuit which generates the differential current of a predetermined current and the current controlled by said monitor terminal, and the current circuit which passes the current proportional to this differential current as compensating current from said 1st supply voltage to a gland.

[0017] According to the above-mentioned configuration, as shown in the gestalt 1 of operation mentioned later, it is possible to compensate parts for current variation, such as a digital circuit, using a power-source compensating network.

[0018] Said current compensating network is good also as a configuration which has the differential amplifying circuit which generates the sum of the differential current proportional to the difference electrical potential difference of the reference voltage generating circuit which generates reference voltage, and a this reference voltage and the electrical potential difference of said monitor terminal, and a predetermined current, and the current circuit which passes the current proportional to the sum of this differential current and a predetermined current as compensating current from said 1st supply voltage to a gland.

[0019] According to the above-mentioned configuration, as shown in the gestalt 2 of operation mentioned later, it is possible to compensate parts for current variation, such as a digital circuit, using a power-source compensating network.

[0020] Said 1st supply voltage may be connected to an analog circuit.

[0021] According to the above-mentioned configuration, it is possible to control malfunction of an analog circuit which tends to be influenced by the source effect, and quality degradation of a signal.

[0022] Said 2nd supply voltage may be connected to a digital circuit.

[0023] According to the above-mentioned configuration, it is able for current variation to detect the current variation produced by load effects, such as a large digital circuit, and to compensate a part for the current variation using a power-source compensating network.

[0024] Said current circuit is good also as a configuration which passes said compensating current to a gland through the 4th resistance.

[0025] According to the above-mentioned configuration, it is possible to control the current which flows superfluously by dispersion of a transistor prepared in the current circuit.

[0026] the current which flows in said 2nd supply voltage section from said 1st supply voltage section – – this -- it is desirable that the sum of said compensating current which flows from the 1st supply voltage section to a gland is fixed.

[0027] According to the above-mentioned configuration, a part for the current variation which flows in the 2nd supply voltage section can be compensated, and a power-source noise can be controlled. In addition, the sum of compensating current and the current which flows in the 2nd supply voltage section may not be fixed, and it is possible to compensate for current variation [a part of], and to aim at reduction of a power-source noise in that case.

[0028] The noncontact IC card of this invention has the semiconductor integrated circuit equipped with the coil antenna, and tuning capacitance, charge capacity, a rectifier circuit, an analog circuit, a digital circuit and the power circuit of this invention. It connects with this tuning capacitance and juxtaposition, and this coil antenna is connected to the input of this rectifier circuit. This rectifier circuit An output is connected to this charge capacity, the 1st supply voltage supplied to this analog circuit is generated, this power circuit generates the 2nd supply voltage supplied to this digital circuit from this 1st supply voltage, and the above-mentioned purpose is attained by that.

[0029] According to the above-mentioned configuration, it is possible to control that malfunction and quality degradation of a signal of an analog circuit etc. arise by load effects, such as a digital circuit, and to realize a highly efficient noncontact IC card.

[0030] Said analog circuit is good also as a configuration equipped with the demodulator circuit.

[0031] According to the above-mentioned configuration, as shown in the gestalt 3 of operation mentioned later, it is possible to realize the highly efficient noncontact IC card which has a demodulator circuit.

[0032] Said semiconductor integrated circuit is good also as a configuration further equipped with the modulation circuit which is connected to said tuning capacitance and juxtaposition and is connected to the input of this rectifier circuit.

[0033] According to the above-mentioned configuration, as shown in the gestalt 4 of operation mentioned later, it is possible to realize the highly efficient noncontact IC card which has a modulation circuit.

[0034] Said modulation circuit is good also as a configuration which modulates circuit impedance with a modulating signal.

[0035] According to the above-mentioned configuration, as shown in the gestalt 4 of operation mentioned later, it is possible to realize the highly efficient noncontact IC card which has a full wave rectifier.

[0036] Said rectifier circuit is good also as a configuration which is a full wave rectifier circuit.

[0037] According to the above-mentioned configuration, as shown in the gestalt 4 of operation mentioned later, it is possible to realize the highly efficient noncontact IC card which has a full wave rectifier. In addition, as a rectifier circuit, a half wave rectifier circuit may be used and it is possible to realize the highly efficient noncontact IC card which has a half wave rectifier in that case.

[0038]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is explained, referring to a drawing. In addition, in the following drawings, about the component which has the same function, the same sign as the conventional technique is attached and the explanation is omitted.

[0039] (Gestalt 1 of operation) Drawing 1 is drawing showing the configuration of the power circuit concerning the gestalt 1 of operation. This power circuit 1 has the current detector 500 and the current compensating network 400. A digital circuit 300 uses digital supply voltage DVDD as a power source, and the analog circuit 310 is using analog supply voltage AVDD as the power source.

[0040] The current detector 500 is realized by the linear regulator 200, and the linear regulator 200 is

constituted by resistance R1 and R2, the operational amplifier 210, and the pMOS transistor M1. The source of a transistor M1 is connected to the analog supply voltage AVDD, the gate is connected to the output terminal of an operational amplifier 210, and the drain is connected to the digital supply voltage DVDD. The output terminal of an operational amplifier 210 is the monitor terminal (monitor electrical potential difference Va) which carries out the monitor of the current (= the current which flows to a digital circuit 300) which flows in the digital supply voltage DVDD section. Resistance R1 is connected to the non-inversed input terminal of the digital supply voltage DVDD and an operational amplifier 210, and resistance R2 is connected to the non-inversed input terminal of Gland VSS and an operational amplifier 210.

[0041] 400 is constituted for the current compensating network by the subtraction circuit 410 and the current circuit 420. The subtraction circuit 410 is constituted by a predetermined current source Ic and predetermined transistors M2 and M3. It connects with Gland VSS and the drain of transistors M2 and M3, and the source of transistors M2 and M3 is connected to the analog supply voltage AVDD, the gate of a transistor M2 is connected to the monitor terminal (monitor electrical potential difference Va) of a linear regulator 200, the gate and the drain of a transistor M3 are connected and the current source Ic serves as the control voltage Vc of a current circuit 420. A current circuit 420 is constituted by the transistor M4, the source of a transistor M4 is connected to the analog supply voltage AVDD, a drain is connected to Gland VSS, and the gate is connected to control voltage Vc.

[0042] Here, if reference voltage Vref2 (supplied from the outside) is connected to the inversed input terminal of the above-mentioned operational amplifier 210, it is the digital supply voltage DVDD.

$$DVDD = Vrefx (R1+R2) / R2 \dots (1)$$

** -- it is expressed like. When the current which flows to resistance R1 and R2 is chosen here so that it may become very small compared with I1, the currents I2, I3, and I4 which flow to transistors M2, M3, and M4 are $I2=nxI1$ respectively. ... (2)

$$I3=Ic-nxI1 \dots (3)$$

$$I4=mx (Ic-nxI1) \dots (4)$$

** -- it is expressed like. Therefore, in the subtraction circuit 410, the differential current I3 of the predetermined current Ic and the current I2 controlled by the monitor terminal (monitor electrical potential difference Va) is generated, and the current I4 which is proportional to differential current I3 in a current circuit 420 flows from the analog supply voltage AVDD section as compensating current to Gland VSS. In addition, in the above-mentioned formula, n is the size ratio of a transistor M1 and a transistor M2, and m is the size ratio of transistors M3 and M4. Moreover, I1 is a current which flows to a transistor M1. For example, when gate width of transistors M1, M2, M3, and M4 is set to W1, W2, W3, and W4 and gate length is set to L1, L2, L3, and L4, n and m are $n=(W2xL1)/(L2xW1)$ respectively. ... (5)

$$m=(W4xL3)/(L4xW3) \dots (6)$$

** -- it is expressed like.

[0043] And if $Ic=nxI0$ and $m=1/n$, the current I4 which flows to a transistor M4 will be set to $I4=I0-I1$. Here, supposing the current of 1 [delta] which flows to a digital circuit 300 increases and is set to $I1+\Delta I1$, I4 is set to $I0-I1-\Delta I1$, and the current which compensates a changed part of a current which flows to a digital circuit 300 will flow to a current circuit 420. In the case of drawing 1, the current which flows to an analog circuit 310 serves as the sum ($I0+Ic$) of a current ($I0-I1$) which flows to the current I1 which flows to a digital circuit 300, the current Ic which flows in the subtraction circuit 410, and the current compensating network 420 from the analog supply voltage AVDD section.

Consequently, the current which flows from the analog supply voltage AVDD section will become fixed if the current which flows to an analog circuit 310 is removed. This means reducing the noise of the analog supply voltage AVDD produced by the load effect of a digital circuit.

[0044] Since there is no need of separating the power source of a digital circuit and an analog circuit from the above thing with this operation gestalt in order to control line voltage variation, the number of pins of a chip is reducible. Moreover, since there is no need of forming a big capacity between digital

supply voltage and a gland within a chip in order to control line voltage variation, area increase of the capacity formed in a chip can be prevented. As the result, chip mounting is easy and can realize the low highly efficient power circuit of a power-source noise.

[0045] (Gestalt 2 of operation) Drawing 2 is drawing showing the configuration of the power circuit concerning the gestalt 2 of operation. This power circuit 1 has the current detector 500 and the current compensating network 400. A digital circuit 300 uses digital supply voltage DVDD as a power source, and the analog circuit 310 is using analog supply voltage AVDD as the power source.

[0046] The current detector 500 connects resistance R10 between the analog supply voltage AVDD and the digital supply voltage DVDD, and is constituted, and it has the monitor terminal (monitor electrical potential difference Va) which carries out the monitor of the current (current which flows to the = digital circuit 300) which flows to the digital supply voltage DVDD side at the digital supply voltage DVDD section.

[0047] The current compensating network 400 is constituted by the reference voltage generating circuit 440, the differential amplifying circuit 430, and the current circuit 420. Resistance R11 and resistance R12 are connected to a serial between the analog supply voltage AVDD and Gland VSS, and the reference voltage generating circuit 440 outputs the electrical potential difference generated by resistance division of resistance R11 and resistance R12 as reference voltage Vref3. The differential amplifying circuit 430 is constituted by the nMOS transistors M10 and M11, the pMOS transistors M12 and M13, and the current source I10. A current source I10 is connected to Gland VSS and the source of transistors M10 and M11, the drain of a transistor M12 is connected to the drain of a transistor M10, and the drain of a transistor M13 is connected to the drain of a transistor M11. Diode connection (structure which connected the gate with the source, considered as the cathode, and used the drain as the anode) of a transistor M12 and the transistor M13 is made, and the drain of a transistor M11, the gate of a transistor M13, and a drain are connected to the control voltage Vc of a current circuit 420. The source of transistors M12 and M13 is connected to the analog supply voltage AVDD, the gate of a transistor M11 is connected to a monitor terminal (monitor electrical potential difference Va), and the gate of a transistor M10 is connected to reference voltage Vref3. A current circuit 420 is constituted by the transistor M4, the source of a transistor M4 is connected to the analog supply voltage AVDD, a drain is connected to Gland VSS, and the gate is connected to control voltage Vc. This current circuit 420 controls the current which flows from the analog supply voltage AVDD section to Gland VSS with the control voltage Vc from the *** amplifying circuit 430.

[0048] Here, load resistance when consuming the greatest current in a digital circuit 300 is set to Rmax, and current gain of the differential amplifier is set to A. And relation between resistance R10-R12 and Rmax ($R10/(Rmax+R10)) /2=R11/(R11+R12)$)

... (7)

** -- it sets up like. For example, it is referred to as $Rmax=90\text{ohm}$, $R10=10\text{ohm}$, $R11=10\text{kohm}$, and $R12=190\text{kohm}$. It is referred to as $R11/R10=10000$ in order to make small the consumed electric current in the reference voltage generating circuit 430 at this time.

[0049] And if analog supply voltage AVDD is set to 3V, reference voltage Vref3 is set to 2.85V, the electrical potential difference DVDD at the time of digital load max will be set to 2.7V, and the maximum load current of a digital circuit 300 will be set to 30mA. Current I4 which will flow to a transistor M4 if mirror ratio (it is the same as the size ratio of the gestalt 1 of operation) of a transistor M13 and a transistor M4 is set to M and current gain of the *** amplifying circuit 430 is set to A here $I4=Mx(A(DVDD-Vref3)+I10/2)$... (8)

** -- it is expressed like. This is a current (the current proportional to Ax (DVDD-Vref3) and the predetermined sum of current $I10/2$ means flowing to I4.) which flows with the difference electrical potential difference of the monitor electrical potential difference DVDD and reference voltage Vref3.

[0050] Here, if $A=0.001$, $I10=300\text{microA}$, and $M=100$, when the load current of a digital circuit is max (the load current which flows to a digital circuit 300 is 30mA), a current circuit 420 is set to 0mA, and

when the load current of a digital circuit is the minimum (the load current which flows to a digital circuit 300 is 0mA), a current circuit 420 will be set to 30mA. Consequently, if the current which flows to an analog circuit 310 is removed from AVDD, it will not be based on the load effect of a digital circuit, but 30mA of fixed currents will always flow. In addition, since it is very small compared with the current which flows to a current circuit 420 and a digital circuit 300, the current which flows in a differential amplifying circuit 430 and the reference voltage generating circuit 440 can be disregarded. Therefore, it can control that the noise by the load effect of a digital circuit occurs in the supply voltage AVDD section, and a highly efficient power circuit can be realized.

[0051] Since there is no need of separating the power source of a digital circuit and an analog circuit from the above thing with this operation gestalt in order to control line voltage variation, the number of pins of a chip is reducible. Moreover, since there is no need of forming a big capacity between digital supply voltage and a gland within a chip in order to control line voltage variation, area increase of the capacity formed in a chip can be prevented. As the result, chip mounting is easy and can realize the low highly efficient power circuit of a power-source noise.

[0052] In addition, this invention is not limited to the example of the current detector 500 explained with the gestalt 1 of the above-mentioned implementation, and the gestalt 2 of operation, and the current compensating network 400. Drawing 3 R> If it is the power circuit which can act as the monitor of the current (current which flows to the = digital circuit 300) which flows in the digital supply voltage DVDD section by the current detector 500, can control the compensating current which flows from the analog supply voltage AVDD section to Gland VSS by the current compensating network 400, and can compensate a part for the current variation of a digital circuit 300 as shown in 3, all are contained in the range of this invention.

[0053] Although the sum of compensating current and the current which flows in the digital supply voltage DVDD section was set constant, the sum of compensating current and the current which flows in the digital supply voltage DVDD section may not be fixed, and can aim at reduction of a power-source noise also by compensating a part of changed current which flows in the digital supply voltage DVDD section by the current compensating network 400.

[0054] With the gestalt 1 of the above-mentioned implementation, and the gestalt 2 of operation, although the drain of a transistor M4 was connected to Gland VSS in the current circuit 420, as shown in drawing 4 , the drain of a transistor M4 may be connected to Gland VSS through resistance R3. In this case, the current which flows superfluously by dispersion in the component property of a transistor M4 etc. can be controlled.

[0055] Furthermore, although distinguished to the digital circuit 300 and the analog circuit 310 with the gestalt 1 of the above-mentioned implementation, and the gestalt 2 of operation, it is good also as a configuration which used the circuit which tends to be influenced by line voltage variation instead of the analog circuit using the circuit which cannot be easily influenced by line voltage variation instead of a digital circuit.

[0056] As mentioned above, this invention greatly contributes to obtaining a highly efficient power circuit, and is very useful.

[0057] (Gestalt 3 of operation) Drawing 5 is drawing showing the configuration of the noncontact IC card concerning the gestalt 3 of operation. This noncontact IC card 4 has the coil antenna L2 and the semiconductor integrated circuit 3. The semiconductor integrated circuit is constituted by tuning capacitance C3, the charge capacity C4, the rectifier circuit 2, the analog circuit 310, the digital circuit 300, and the power circuit 1. It connects with juxtaposition and tuning capacitance C3 and a coil antenna L2 are connected to the input of a rectifier circuit 2. The charge capacity C4 charges and the output of a rectifier circuit serves as the supply voltage AVDD of an analog circuit 310. The analog circuit 310 is equipped with the demodulator circuit 311 which takes out an input signal from supply voltage AVDD. A power circuit 1 generates the supply voltage DVDD supplied to a digital circuit 300 from supply voltage AVDD. What was explained with the gestalt 1 of the above-mentioned

implementation and the gestalt 2 of operation as this power circuit 1 can be used.

[0058] Power receiving of the power and the input signal which are consumed with a semiconductor integrated circuit 4 is carried out by the coil antenna L2. Amplitude modulation shall have taken for the input signal at this time. And the comparator which has a hysteresis as a demodulator circuit 311 is used using the full wave rectifier circuit using the diodes D1-D4 as shown in drawing 6 as a rectifier circuit 2. The signal received by the coil antenna L2 is rectified by the rectifier circuit 2, and the supply voltage AVDD as shown in drawing 7 is generated. Moreover, a signal component is extracted from supply voltage AVDD by the demodulator circuit 311. A demodulator circuit 311 is taken out as a signal, when supply voltage AVDD changes more than reference level at this time.

[0059] Here, as the current variation of a digital circuit 300 shows drawing 8 (a), supposing it happens, a dotted line comes to show the wave of supply voltage AVDD to drawing 8 (b). By the current variation (load effect) of such a digital circuit 300, when there is no power circuit 1, a demodulator circuit 311 causes malfunction and a recovery signal comes to show the dotted line of drawing 8 (c). On the other hand, in the noncontact IC card which has a power circuit 1 like the gestalt of this operation, it turned out that it can get over without producing malfunction as fluctuation of the supply voltage AVDD by the load effect of a digital circuit 300 can be controlled as a continuous line shows to drawing 8 (b), consequently shown in drawing 8 (c).

[0060] From the above thing, with this operation gestalt, malfunction of the analog circuit by the load effect of a digital circuit can be reduced, and a highly efficient noncontact IC card can be realized as the result.

[0061] (Gestalt 4 of operation) Drawing 9 is drawing showing the configuration of the noncontact IC card concerning the gestalt 4 of operation. The difference between the gestalt of this operation and the gestalt 3 of operation is that connect with tuning capacitance C3 and juxtaposition, and the modulation circuit 315 is connected to the input of a rectifier circuit 2. This modulation circuit 315 modulates the impedance between the coil antennas L2 of a semiconductor integrated circuit 3 with a modulating signal.

[0062] Drawing 10 (a) is drawing showing the impedance between coils L2 about the case where there are not a case where it has a power circuit 1, and a power circuit 1, when a modulating signal as shown in drawing 10 (b) is inputted. In this drawing, the case where a continuous line has a power circuit 1 is shown, and the case where there is no dotted line of one power circuit is shown. As shown in drawing 10 (c), when current variation (load effect) happens in a digital circuit 310 and there is no power circuit 1, as a dotted line shows, the impedance between coils L2 is affected at drawing 10 (a). On the other hand, in the noncontact IC card which has a power circuit 1 like this operation gestalt, as a continuous line shows to drawing 10 (a), source impedance by the load effect of a digital circuit 300 can be made regularity.

[0063] From the above thing, with this operation gestalt, malfunction of the analog circuit by the load effect of a digital circuit can be reduced, and a highly efficient noncontact IC card can be realized as the result.

[0064] In addition, this invention is not limited to the example of the semiconductor integrated circuit 3 explained with the gestalt 3 of the above-mentioned implementation, and the gestalt 4 of operation. If it is the noncontact IC card which has a power circuit which was explained with the gestalt 1 of operation, and the gestalt 2 of operation as a power circuit, all are contained in the range of this invention.

[0065] Although tuning capacitance C3 was formed in the semiconductor integrated circuit 3, it may be mounted in the exterior of a semiconductor chip, and the parasitic capacitance of a rectifier circuit 2 or a coil antenna L2 may be used for it.

[0066] Furthermore, with the gestalt 3 of the above-mentioned implementation, and the gestalt 4 of operation, although the full wave rectifier circuit was used as a rectifier circuit 2, a half wave rectifier circuit may be used.

[0067] As mentioned above, this invention greatly contributes to obtaining a highly efficient noncontact

IC card, and is very useful.

[0068]

[Effect of the Invention] As explained in full detail above, according to this invention, a highly efficient power circuit is realizable in a low noise by detecting a part for the current variation by load effects, such as a digital circuit, and compensating a part for the current variation using a power-source compensating network by carrying out the monitor of the current which flows in the digital supply voltage section etc. using a current detector.

[0069] Furthermore, according to this invention, the highly efficient noncontact IC card which has a demodulator circuit and a modulation circuit is realizable by using the power circuit of this invention.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the power circuit concerning the gestalt 1 of operation.

[Drawing 2] It is drawing showing the configuration of the power circuit concerning the gestalt 2 of operation.

[Drawing 3] It is drawing showing the configuration of the power circuit concerning this invention.

[Drawing 4] It is drawing showing the configuration of other current circuits in the power circuit of the gestalt 1 of operation, and the gestalt 2 of operation.

[Drawing 5] It is drawing showing the configuration of the noncontact IC card concerning the gestalt 3 of operation.

[Drawing 6] It is drawing showing the configuration of the rectifier circuit in non-contact [of the gestalt 3 of operation / IC].

[Drawing 7] In the gestalt 3 of operation, it is drawing showing the wave AVDD after rectifying the signal by which amplitude modulation was carried out.

[Drawing 8] (a) is drawing showing the consumed electric current of a digital circuit in the gestalt 3 of operation, (b) is drawing showing supply voltage AVDD about the case where there is nothing with the case where it has a power circuit, and (c) is drawing showing a recovery signal about the case where there is nothing with the case where it has a power circuit.

[Drawing 9] It is drawing showing the configuration of the noncontact IC card concerning the gestalt 4 of operation.

[Drawing 10] (a) is drawing showing the impedance between coils L2 about the case where there is nothing with the case where it has a power circuit, in the gestalt 4 of operation, (b) is drawing showing a modulating signal, and (c) is drawing showing the consumed electric current of a digital circuit.

[Drawing 11] It is drawing showing the configuration of the conventional semiconductor integrated circuit.

[Drawing 12] (a) And (b) is drawing showing the relation of the current I_1 and supply voltage VDD_1 which flow to the conventional semiconductor integrated circuit.

[Drawing 13] It is drawing showing the input-output behavioral characteristics of the comparator which has a hysteresis characteristic.

[Description of Notations]

1 Power Circuit

2 Rectifier Circuit

3 Semiconductor Integrated Circuit

4 Noncontact IC Card

200 Linear Regulator

210 Operational Amplifier

300 Digital Circuit

301 CPU

302 Memory

310 Analog Circuit

311 Demodulator Circuit

315 Modulation Circuit

400 Current Compensating Network

410 Subtraction Circuit

420 Current Circuit

430 Differential Amplifying Circuit

440 Reference Voltage Generating Circuit

500 Current Detector

M1, M2, M3, M4, M10, M11, M12, M13 Transistor

R1, R2, R3, R10, R11, R12 Resistance

I_c , I_{10} Current source

L1 Inductor

L2 Coil antenna

C3 Tuning capacitance

C4 Charge capacity

D1, D2, D3, D4 Diode

VDD, VDD1, DVDD, AVDD Supply voltage

VSS Gland

V_{ref1} , V_{ref2} Reference voltage

V_{ref3} Reference voltage

V_a Monitor electrical potential difference

V_c Control voltage

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-142356

(P2002-142356A)

(43)公開日 平成14年5月17日 (2002.5.17)

(51)Int.Cl.⁷
H 02 J 1/00
B 42 D 15/10
G 06 F 1/28
G 06 K 19/07
19/077

識別記号

3 0 6
5 2 1

F I
H 02 J 1/00
B 42 D 15/10
G 06 F 1/00
G 06 K 19/00

テマコード(参考)
3 0 6 F 2 C 0 0 5
5 2 1 5 B 0 1 1
3 3 3 Z 5 B 0 3 5
H 5 G 0 6 5
K

審査請求 有 請求項の数14 O L (全 10 頁)

(21)出願番号 特願2000-334025(P2000-334025)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(22)出願日 平成12年10月31日 (2000.10.31)

(72)発明者 林 錠二
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

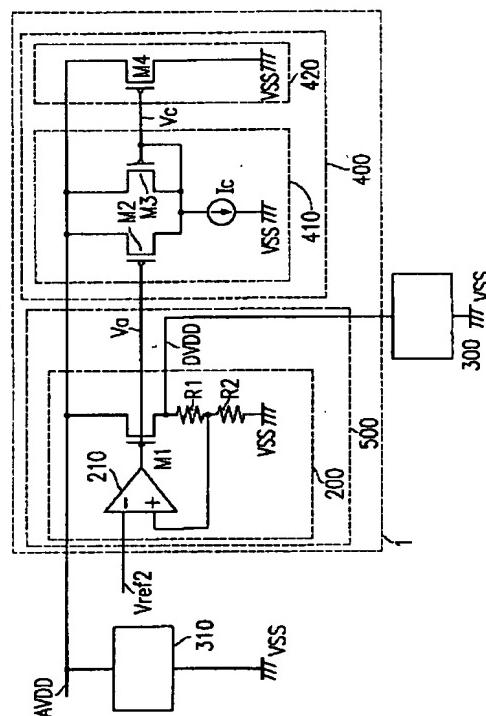
(74)代理人 100078282
弁理士 山本 秀策
F ターム(参考) 20005 MA22 MA34 MA35
5B011 DB01 EA06
5B035 BB09 CA12 CA23
5G065 DA07 GA03 HA11 JA01 LA02
NA02 NA04

(54)【発明の名称】 電源回路および非接触ICカード

(57)【要約】

【課題】 回路の負荷変動によって生じる電流変動分を補償することにより、電源ノイズおよび電源電圧変動を抑制し、高性能な電源回路を実現する。

【解決手段】 リニアレギュレータ200を用いてデジタル回路300の負荷変動によって生じる電流変動分をモニターし、その電流変動分を電流補償回路400により電源電圧AVDDからグランドVSSに補償電流として流すことにより、電源AVDDの負荷インピーダンスを常に一定とする。その結果、電源電圧AVDDの変動およびノイズが低減され、高性能な電源回路1が得られる。



(2)

【特許請求の範囲】

【請求項 1】 第 1 の電子回路に供給される第 1 の電源電圧と第 2 の電子回路に供給される第 2 の電源電圧との間に接続され、該第 1 の電源電圧部から該第 2 の電源電圧部に流れる電流をモニタするためのモニタ端子を有する電流検出回路と、

該第 1 の電源電圧と該モニタ端子とに接続され、モニタした電流によって該第 1 の電源電圧部からグランドに流れる補償電流を制御して、該第 2 の電子回路の負荷変動によって生じる電流変動分を補償する電流補償回路とを備えている電源回路。

【請求項 2】 前記電流検出回路は、演算増幅器とトランジスタと 2 つの抵抗とを備えたりニアレギュレータを有し、

該トランジスタは、ソースが前記第 1 の電源電圧に接続され、ゲートが該演算増幅器の出力端子に接続されると共に、ドレンが前記第 2 の電源電圧に接続され、

該 2 つの抵抗は、該第 2 の電源電圧とグランドとの間に直列に接続されると共に、該 2 つの抵抗の接続点が該演算増幅器の非反転入力端子に接続され、

該演算増幅器は、反転入力端子が基準電圧に接続されると共に、出力端子が前記モニタ端子として機能する請求項 1 に記載の電源回路。

【請求項 3】 前記電流検出回路は、前記第 1 の電源電圧と前記第 2 の電源電圧との間に接続された抵抗を有し、該第 2 の電源電圧側にモニタ端子を有する請求項 1 に記載の電源回路。

【請求項 4】 前記電流補償回路は、所定の電流と前記モニタ端子によって制御される電流との差電流を生成する引き算回路と、

該差電流に比例した電流を、前記第 1 の電源電圧部からグランドに補償電流として流す電流回路とを有する請求項 1 乃至請求項 3 のいずれかに記載の電源回路。

【請求項 5】 前記電流補償回路は、参照電圧を生成する参照電圧発生回路と、

該参照電圧と前記モニタ端子の電圧との差電圧に比例した差電流と所定の電流との和を生成する差動増幅回路と、

該差電流と所定の電流との和に比例した電流を、前記第 1 の電源電圧からグランドに補償電流として流す電流回路とを有する請求項 1 乃至請求項 3 のいずれかに記載の電源回路。

【請求項 6】 前記第 1 の電源電圧はアナログ回路に接続される請求項 1 乃至請求項 5 のいずれかに記載の電源回路。

【請求項 7】 前記第 2 の電源電圧はデジタル回路に接続される請求項 1 乃至請求項 6 のいずれかに記載の電源回路。

【請求項 8】 前記電流回路は、第 4 の抵抗を介してグランドに前記補償電流を流す請求項 4 または請求項 5 に

1

記載の電源回路。

【請求項 9】 前記第 1 の電源電圧部から前記第 2 の電源電圧部に流れる電流と、該第 1 の電源電圧部からグランドに流れる前記補償電流の和が一定である請求項 1 乃至請求項 8 のいずれかに記載の電源回路。

【請求項 10】 コイルアンテナと、同調容量と充電容量と整流回路とアナログ回路とデジタル回路と請求項 1 乃至請求項 9 のいずれかに記載の電源回路とを備えた半導体集積回路とを有し、

該コイルアンテナは、該同調容量と並列に接続されて該整流回路の入力に接続され、

該整流回路は、出力が該充電容量に接続されて、該アナログ回路に供給される第 1 の電源電圧を生成し、

該電源回路は、該第 1 の電源電圧から、該デジタル回路に供給される第 2 の電源電圧を生成する非接触 I C カード。

【請求項 11】 前記アナログ回路は復調回路を備えている請求項 10 に記載の非接触 I C カード。

【請求項 12】 前記半導体集積回路は、前記同調容量と並列に接続されて該整流回路の入力に接続される変調回路をさらに備えている請求項 10 または請求項 11 に記載の非接触 I C カード。

【請求項 13】 前記変調回路は、変調信号により回路インピーダンスを変調させる請求項 12 に記載の非接触 I C カード。

【請求項 14】 前記整流回路は全波整流回路である請求項 10 乃至請求項 13 のいずれかに記載の非接触 I C カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、回路の負荷変動により生じる電流変動分を補償することにより、電源ノイズや電源電圧変動を抑制することができる電源回路およびそれを用いた非接触 I C カードに関する。

【0002】

【従来の技術】 通常、アナログ回路やデジタル回路等の電子回路は、電源電圧を印加することにより作動する。このときに回路に流れる電流は、回路動作により異なる。特に、C P U やロジック回路、メモリ等のデジタル回路においては、電流変動が大きい。このような電流変動は、電源ノイズや電源電圧変動となって現れる。以下に、電源ノイズが発生するメカニズムについて説明する。

【0003】 図 1 は、従来の半導体集積回路の構成を示す図である。この半導体集積回路 3 は、デジタル回路 3 0 0 とアナログ回路 3 1 0 とからなり、デジタル回路 3 0 0 は C P U 3 0 1 やメモリ 3 0 2 からなる。この半導体集積回路 3 には、外部からインダクタ L 1 を通じて電源電圧 V D D が与えられている。インダクタ L 1 は、配線やボンディングワイヤ等により生じる寄生インダク

2

(3)

3

タであり、その値は例えば数 $n\text{F}$ 程度である。このとき、チップ（半導体集積回路）内の内部電源電圧は V_{DD1} となる。

【0004】ここで、デジタル回路300とアナログ回路310により消費される電流 I_1 が図12(b)に示すように変化した場合を考えると、チップ内の電源電圧 V_{DD1} は図12(a)に示すように、電流 I_1 の変化点で変動を起こす。

【0005】このような電源ノイズは、アナログ回路310の回路動作には大きく影響する。例えば、ヒステリシス特性を有するコンパレータの場合には、電源電圧 V_{DD1} の変動によって比較値の極性が変わり、誤動作を引き起こすこともある。また、増幅器においても、電源電圧変動成分が付加されて信号の品質が劣化するという問題がある。以下に、アナログ回路の誤動作や特性劣化について、具体例を示す。

【0006】図13は、ヒステリシス特性を有するコンパレータの入出力特性を示す図である。一般に、コンパレータは、基準電圧に対して入力電圧が高いときにHIGH状態になり、基準電圧に対して入力電圧が低いときにLOW状態になる。これに対して、ヒステリシス特性を有するコンパレータにおいては、図13に示すように、入力電圧（入力信号 V_{in} ）が基準電圧 V_{ref1} に対してオフセット電圧を加えたレベル V_H 以上になると出力信号 V_{out} がHIGH状態になり、入力電圧（入力信号 V_{in} ）が基準電圧 V_{ref1} に対してオフセット電圧を引いたレベル V_L 以下になると出力信号 V_{out} がLOW状態になる。ここで、ヒステリシス特性を有するコンパレータの出力がHIGH状態であり、入力電圧が基準電圧 V_{ref1} と等しい場合を考える。この場合に、電源ノイズにより入力電圧が V_L 以下に下がったとすると、コンパレータの出力はHIGH状態からLOW状態になり、元の値（HIGH状態）に戻ることはない。

【0007】このような問題を解決するために、従来から、アナログ回路とデジタル回路の電源を分離したり、チップ内で電源電圧 V_{DD1} とグランド V_{SS} 間に容量 C_{pass} を形成して電源電圧変動を抑制する方法が用いられてきた。

【0008】

【発明が解決しようとする課題】しかしながら、上述したような方法では、チップのピン（端子）数の増加や、チップ内に形成される容量の面積増大を招く。 C_{pass} の値としては $1\mu\text{F}$ 以上が望まれるが、チップ内で形成可能な容量値は標準CMOSプロセスで 1nF 程度であり、回路の大きな負荷変動に対しては効果があまり得られない。

【0009】本発明は、このような従来技術の課題を解決するためになされたものであり、デジタル回路等の負荷変動によって生じる電流変動分を補償することによ

4

り、電源ノイズおよび電源電圧変動を抑制し、アナログ回路等、電源ノイズや電源電圧変動に影響を受け易い回路の誤動作や信号の品質劣化を抑制することができる高性能な電源回路および非接触ICカードを提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の電源回路は、第1の電子回路に供給される第1の電源電圧と第2の電子回路に供給される第2の電源電圧との間に接続され、該第1の電源電圧部から該第2の電源電圧部に流れる電流をモニタするためのモニタ端子を有する電流検出回路と、該第1の電源電圧と該モニタ端子とに接続され、モニタした電流によって該第1の電源電圧部からグランドに流れる補償電流を制御して、該第2の電子回路の負荷変動によって生じる電流変動分を補償する電流補償回路とを備えており、そのことにより上記目的が達成される。

【0011】上記構成によれば、電流検出回路を用いて第2の電源電圧部に流れる電流をモニタすることにより、デジタル回路等の負荷変動によって生じる電流変動を検出し、その電流変動分を電源補償回路を用いて補償することにより、電源ノイズおよび電源電圧変動を抑制し、アナログ回路等、電源ノイズや電源電圧変動に影響を受け易い回路の誤動作や信号の品質劣化を抑制し、低ノイズで高性能な電源回路を実現することができる。

【0012】前記電流検出回路は、演算増幅器とトランジスタと2つの抵抗とを備えたリニアレギュレータを有し、該トランジスタは、ソースが前記第1の電源電圧に接続され、ゲートが該演算増幅器の出力端子に接続されると共に、ドレインが前記第2の電源電圧に接続され、該2つの抵抗は、該第2の電源電圧とグランドとの間に直列に接続されると共に、該2つの抵抗の接続点が該演算増幅器の非反転入力端子に接続され、該演算増幅器は、反転入力端子が基準電圧に接続されると共に、出力端子が前記モニタ端子として機能する構成としてもよい。

【0013】上記構成によれば、後述する実施の形態1に示すように、リニアレギュレータを用いてデジタル回路等の負荷変動によって生じる電流変動分をモニターすることが可能である。

【0014】前記電流検出回路は、前記第1の電源電圧と前記第2の電源電圧との間に接続された抵抗を有し、該第2の電源電圧側にモニタ端子を有する構成としてもよい。

【0015】上記構成によれば、後述する実施の形態2に示すように、電流検出回路を用いてデジタル回路等の負荷変動によって生じる電流変動分をモニターすることが可能である。

【0016】前記電流補償回路は、所定の電流と前記モニタ端子によって制御される電流との差電流を生成する

(4)

5

引き算回路と、該差電流に比例した電流を、前記第1の電源電圧からグランドに補償電流として流す電流回路とを有する構成としてもよい。

【0017】上記構成によれば、後述する実施の形態1に示すように、デジタル回路等の電流変動分を電源補償回路を用いて補償することが可能である。

【0018】前記電流補償回路は、参照電圧を生成する参照電圧発生回路と、該参照電圧と前記モニタ端子の電圧との差電圧に比例した差電流と所定の電流との和を生成する差動增幅回路と、該差電流と所定の電流との和に比例した電流を、前記第1の電源電圧からグランドに補償電流として流す電流回路とを有する構成としてもよい。

【0019】上記構成によれば、後述する実施の形態2に示すように、デジタル回路等の電流変動分を電源補償回路を用いて補償することが可能である。

【0020】前記第1の電源電圧はアナログ回路に接続されるものであってもよい。

【0021】上記構成によれば、電源変動に影響され易いアナログ回路の誤動作や信号の品質劣化を抑制することが可能である。

【0022】前記第2の電源電圧はデジタル回路に接続されるものであってもよい。

【0023】上記構成によれば、電流変動が大きいデジタル回路等の負荷変動によって生じる電流変動を検出し、その電流変動分を電源補償回路を用いて補償することが可能である。

【0024】前記電流回路は、第4の抵抗を介してグランドに前記補償電流を流す構成としてもよい。

【0025】上記構成によれば、電流回路に設けられたトランジスタのばらつき等によって不必要に流れる電流を抑制することが可能である。

【0026】前記第1の電源電圧部から前記第2の電源電圧部に流れる電流と、該第1の電源電圧部からグランドに流れる前記補償電流の和が一定であるのが好ましい。

【0027】上記構成によれば、第2の電源電圧部に流れる電流変動分を補償して電源ノイズを抑制することができる。なお、補償電流と第2の電源電圧部に流れる電流の和は一定でなくてもよく、その場合には、電流変動分の一部を補償して電源ノイズの低減を図ることが可能である。

【0028】本発明の非接触ICカードは、コイルアンテナと、同調容量と充電容量と整流回路とアナログ回路とデジタル回路と本発明の電源回路とを備えた半導体集積回路とを有し、該コイルアンテナは、該同調容量と並列に接続されて該整流回路の入力に接続され、該整流回路は、出力が該充電容量に接続されて、該アナログ回路に供給される第1の電源電圧を生成し、該電源回路は、該第1の電源電圧から、該デジタル回路に供給される第

6

2の電源電圧を生成し、そのことにより上記目的が達成される。

【0029】上記構成によれば、デジタル回路等の負荷変動によりアナログ回路等の誤動作や信号の品質劣化が生じるのを抑制し、高性能な非接触ICカードを実現することが可能である。

【0030】前記アナログ回路は復調回路を備えている構成としてもよい。

【0031】上記構成によれば、後述する実施の形態3に示すように、復調回路を有する高性能な非接触ICカードを実現することが可能である。

【0032】前記半導体集積回路は、前記同調容量と並列に接続されて該整流回路の入力に接続される変調回路をさらに備えている構成としてもよい。

【0033】上記構成によれば、後述する実施の形態4に示すように、変調回路を有する高性能な非接触ICカードを実現することが可能である。

【0034】前記変調回路は、変調信号により回路インピーダンスを変調させる構成としてもよい。

【0035】上記構成によれば、後述する実施の形態4に示すように、全波整流器を有する高性能な非接触ICカードを実現することが可能である。

【0036】前記整流回路は全波整流回路である構成としてもよい。

【0037】上記構成によれば、後述する実施の形態4に示すように、全波整流器を有する高性能な非接触ICカードを実現することが可能である。なお、整流回路としては、半波整流回路を用いてもよく、その場合には、半波整流器を有する高性能な非接触ICカードを実現することが可能である。

【0038】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照しながら説明する。なお、以下の図において、同様の機能を有する構成要素については、従来技術と同じ符号を付してその説明を省略する。

【0039】(実施の形態1) 図1は実施の形態1に係る電源回路の構成を示す図である。この電源回路1は、電流検出回路500と電流補償回路400とを有している。デジタル回路300はデジタル電源電圧DVDDを電源とし、アナログ回路310はアナログ電源電圧AVDDを電源としている。

【0040】電流検出回路500はリニアレギュレータ200により実現され、リニアレギュレータ200は、抵抗R1、R2と、演算増幅器210と、pMOSトランジスタM1とにより構成されている。トランジスタM1のソースはアナログ電源電圧AVDDに接続され、ゲートは演算増幅器210の出力端子に接続され、ドレンはデジタル電源電圧DVDDに接続されている。演算増幅器210の出力端子は、デジタル電源電圧DVDD部に流れる電流(=デジタル回路300に流れる電流)

50

(5)

7

をモニタするモニタ端子（モニタ電圧V_a）となっている。抵抗R₁は、デジタル電源電圧DVDDと演算増幅器210の非反転入力端子に接続され、抵抗R₂は、グランドVSSと演算増幅器210の非反転入力端子に接続されている。

【0041】電流補償回路は400は、引き算回路410と電流回路420とにより構成されている。引き算回路410は、所定の電流源I_cとトランジスタM2、M3とにより構成されている。電流源I_cは、グランドVSSとトランジスタM2、M3のドレインとに接続され、トランジスタM2、M3のソースはアナログ電源電圧*

$$DVDD = V_{ref} \times (R_1 + R_2)$$

のように表される。ここで、抵抗R₁、R₂に流れる電流をI₁に比べて非常に小さくなるように選ぶと、トランジスタM2、M3、M4に流れる電流I₂、I₃、I₄は、各々、

$$I_2 = n \times I_1 \quad \dots \quad (2)$$

$$I_3 = I_c - n \times I_1 \quad \dots \quad (3)$$

$$I_4 = m \times (I_c - n \times I_1) \quad \dots \quad (4)$$

のように表される。従って、引き算回路410では所定の電流I_cとモニタ端子（モニタ電圧V_a）により制御される電流I₂との差電流I₃が生成され、電流回路420には差電流I₃に比例した電流I₄がアナログ電源電圧AVDD部からグランドVSSに補償電流として流れ。なお、上記式において、nはトランジスタM1とトランジスタM2のサイズ比であり、mはトランジスタM3とM4のサイズ比である。また、I₁はトランジスタM1に流れる電流である。例えばトランジスタM1、M2、M3、M4のゲート幅をW1、W2、W3、W4とし、ゲート長をL1、L2、L3、L4とすると、nとmは、各々、

$$n = (W_2 \times L_1) / (L_2 \times W_1) \quad \dots \quad (5)$$

$$m = (W_4 \times L_3) / (L_4 \times W_3) \quad \dots \quad (6)$$

のように表される。

【0043】そして、

$$I_c = n \times I_0,$$

$$m = 1/n$$

とすると、トランジスタM4に流れる電流I₄は、

$$I_4 = I_0 - I_1$$

となる。ここで、デジタル回路300に流れる電流が△I₁だけ増え、I₁ + △I₁となったとすると、I₄はI₀ - I₁ - △I₁となり、デジタル回路300に流れる電流の変動分を補償する電流が電流回路420に流れることになる。アナログ電源電圧AVDD部からアナログ回路310に流れる電流は、図1の場合、デジタル回路300に流れる電流I₁、引き算回路410に流れる電流I_c、電流補償回路420に流れる電流(I₀ - I₁)の和(I₀ + I_c)となる。その結果、アナログ電源電圧AVDD部から流れる電流は、アナログ回路310に流れる電流を除けば、一定となる。これは、デジタ

8

*圧AVDDに接続され、トランジスタM2のゲートはリニアレギュレータ200のモニタ端子（モニタ電圧V_a）に接続され、トランジスタM3のゲートとドレインとは接続されて電流回路420の制御電圧V_cとなっている。電流回路420は、トランジスタM4により構成され、トランジスタM4のソースはアナログ電源電圧AVDDに接続され、ドレインはグランドVSSに接続され、ゲートは制御電圧V_cに接続されている。

【0042】ここで、上記演算増幅器210の反転入力端子に基準電圧V_{ref2}（外部から供給される）を接続すると、デジタル電源電圧DVDDは、

$$DVDD = V_{ref2} \times (R_1 + R_2) \quad \dots \quad (1)$$

ル回路の負荷変動によって生じるアナログ電源電圧AVDDのノイズを低減することを意味する。

【0044】以上のことから、本実施形態では、電源電圧変動を抑制するためにデジタル回路とアナログ回路の電源を分離する必要が無いため、チップのピン数を削減することができる。また、電源電圧変動を抑制するためチップ内でデジタル電源電圧とグランド間に大きな容量を形成する必要が無いため、チップ内に形成される容量の面積増大を防ぐことができる。その結果として、チップ実装が容易で電源ノイズの低い高性能な電源回路を実現することができる。

【0045】（実施の形態2）図2は実施の形態2に係る電源回路の構成を示す図である。この電源回路1は、電流検出回路500と電流補償回路400とを有している。デジタル回路300はデジタル電源電圧DVDDを電源とし、アナログ回路310はアナログ電源電圧AVDDを電源としている。

【0046】電流検出回路500は、抵抗R₁₀をアナログ電源電圧AVDDとデジタル電源電圧DVDDとの間に接続して構成され、デジタル電源電圧DVDD側に、デジタル電源電圧DVDD部に流れる電流（＝デジタル回路300に流れる電流）をモニタするモニタ端子（モニタ電圧V_a）を有している。

【0047】電流補償回路400は、参照電圧発生回路440、差動增幅回路430、電流回路420とにより構成されている。参照電圧発生回路440は、抵抗R₁と抵抗R₁₂とがアナログ電源電圧AVDDとグランドVSSとの間に直列に接続され、抵抗R₁₁と抵抗R₁₂の抵抗分割によって生成される電圧を参照電圧V_{ref3}として出力する。差動增幅回路430は、nMOSトランジスタM10、M11とpMOSトランジスタM12、M13と電流源I₁₀とにより構成されている。電流源I₁₀は、グランドVSSとトランジスタM10、M11のソースとに接続され、トランジスタM10のドレインにはトランジスタM12のドレインが接続され、トランジスタM11のドレインにはトランジスタM13のドレインが接続されている。トランジスタM12とトランジスタM13はダイオード接続（ソースとゲ

(6)

9

ートを接続してカソードとし、ドレンをアノードとした構造)され、トランジスタM11のドレンとトランジスタM13のゲートとドレンが電流回路420の制御電圧Vcに接続されている。トランジスタM12、M13のソースはアナログ電源電圧AVDDに接続され、トランジスタM11のゲートはモニタ端子(モニタ電圧Va)に接続され、トランジスタM10のゲートは参照電圧Vref3に接続されている。電流回路420は、トランジスタM4により構成され、トランジスタM4のソースはアナログ電源電圧AVDDに接続され、ドレイ*

$$(R_{10} / (R_{max} + R_{10})) / 2 = R_{11} / (R_{11} + R_{12}) \quad \dots \quad (7)$$

10

*ンはグランドVSSに接続され、ゲートは制御電圧Vcに接続されている。この電流回路420は、差増增幅回路430からの制御電圧Vcによってアナログ電源電圧AVDD部からグランドVSSに流れる電流をコントロールする。

【0048】ここで、デジタル回路300において最大の電流を消費するときの負荷抵抗をRmaxとし、差動増幅器の電流ゲインをAとする。そして、抵抗R10～R12とRmaxの関係を

のように設定する。例えば、Rmax=90Ω、R10=10Ω、R11=10kΩ、R12=190kΩとする。このとき、参照電圧発生回路430における消費電流を小さくするために、R11/R10=10000とする。

【0049】そして、アナログ電源電圧AVDDを3Vとすると、参照電圧Vref3は2.85Vとなり、デ※

のように表される。これは、モニタ電圧DVDDと参照電圧Vref3の差電圧により流れる電流(A×(DVDD-Vref3))と所定の電流I10/2の和に比例した電流がI4に流れることを意味する。

【0050】ここで、A=0.001、I10=300μA、M=100とすると、デジタル回路の負荷電流が最大(デジタル回路300に流れる負荷電流が30mA)のときには電流回路420は0mAとなり、デジタル回路の負荷電流が最少(デジタル回路300に流れる負荷電流が0mA)のときには電流回路420は30mAとなる。その結果、AVDDからアナログ回路310に流れる電流を除けば、デジタル回路の負荷変動によらず、常に一定の電流30mAが流れることになる。なお、差動增幅回路430および参照電圧発生回路440に流れる電流は、電流回路420とデジタル回路300に流れる電流に比べて非常に小さいので、無視することができる。よって、電源電圧AVDD部にデジタル回路の負荷変動によるノイズが発生するのを抑制することができ、高性能な電源回路を実現することができる。

【0051】以上のことから、本実施形態では、電源電圧変動を抑制するためにデジタル回路とアナログ回路の電源を分離する必要が無いため、チップのピン数を削減することができる。また、電源電圧変動を抑制するためにチップ内でデジタル電源電圧とグランド間に大きな容量を形成する必要が無いため、チップ内に形成される容量の面積増大を防ぐことができる。その結果として、チップ実装が容易で電源ノイズの低い高性能な電源回路を実現することができる。

【0052】なお、本発明は、上記実施の形態1および実施の形態2で説明した電流検出回路500および電流

※ジタル負荷最大時の電圧DVDDは2.7Vとなり、デジタル回路300の最大負荷電流は30mAとなる。ここで、トランジスタM13とトランジスタM4のミラービー比(実施の形態1のサイズ比と同じ)をMとし、差増增幅回路430の電流ゲインをAとすると、トランジスタM4に流れる電流I4は、

$$I_4 = M \times (A \times (DVDD - V_{ref3}) + I_{10}/2) \quad \dots \quad (8)$$

補償回路400の具体例に限定されるものではない。図3に示すように、電流検出回路500によりデジタル電源電圧DVDD部に流れる電流(=デジタル回路300に流れる電流)をモニターし、電流補償回路400によってアナログ電源電圧AVDD部からグランドVSSに流れる補償電流を制御してデジタル回路300の電流変動分を補償することができる電源回路であれば、全て本発明の範囲に含まれる。

【0053】補償電流とデジタル電源電圧DVDD部に流れる電流の和を一定としたが、補償電流とデジタル電源電圧DVDD部に流れる電流の和は一定でなくてもよく、デジタル電源電圧DVDD部に流れる電流の変動分の一部を電流補償回路400によって補償することによっても、電源ノイズの低減を図ることができる。

【0054】上記実施の形態1および実施の形態2では、電流回路420においてトランジスタM4のドレンをグランドVSSに接続したが、図4に示すように、トランジスタM4のドレンを抵抗R3を介してグランドVSSに接続してもよい。この場合には、トランジスタM4の素子特性のばらつき等によって不必要に流れる電流を抑制することができる。

【0055】さらに、上記実施の形態1および実施の形態2では、デジタル回路300とアナログ回路310とに区別したが、デジタル回路の代わりに電源電圧変動に影響されにくい回路を用い、電源電圧変動に影響されやすい回路をアナログ回路の代わりに用いた構成としてもよい。

【0056】以上のように、本発明は、高性能な電源回路を得ることに対して大いに寄与するものであり、極めて有用なものである。

30

40

50

(7)

11

【0057】(実施の形態3) 図5は実施の形態3に係る非接触ICカードの構成を示す図である。この非接触ICカード4は、コイルアンテナL2と半導体集積回路3とを有している。半導体集積回路は、同調容量C3と充電容量C4と整流回路2とアナログ回路310とデジタル回路300と電源回路1とにより構成されている。同調容量C3とコイルアンテナL2とは並列に接続されて整流回路2の入力に接続されている。整流回路の出力は充電容量C4に充電され、アナログ回路310の電源電圧AVDDとなる。アナログ回路310は、電源電圧AVDDから受信信号を取り出す復調回路311を備えている。電源回路1は、電源電圧AVDDからデジタル回路300に供給される電源電圧DVDDを生成する。この電源回路1としては、上記実施の形態1および実施の形態2で説明したようなものを用いることができる。

【0058】半導体集積回路4で消費される電力と受信信号とはコイルアンテナL2により受電される。このとき、受信信号には振幅変調がかかっているものとする。そして、整流回路2としては図6に示すようなダイオードD1～D4を用いた全波整流回路を用い、復調回路311としてはヒステリシスを有するコンパレータを用いる。コイルアンテナL2により受信された信号は、整流回路2により整流され、図7に示すような電源電圧AVDDが生成される。また、復調回路311により、電源電圧AVDDから信号成分が抽出される。このとき、復調回路311は、電源電圧AVDDが基準レベル以上に変化したときに、信号として取り出す。

【0059】ここで、デジタル回路300の電流変動が図8(a)に示すように起こったとすると、電源電圧AVDDの波形は図8(b)に点線で示すようになる。このようなデジタル回路300の電流変動(負荷変動)により、電源回路1が無い場合には、復調回路311が誤動作を引き起こし、復調信号が図8(c)の点線に示すようになる。これに対して、本実施の形態のように電源回路1を有する非接触ICカードでは、図8(b)に実線で示すようにデジタル回路300の負荷変動による電源電圧AVDDの変動を抑制することができ、その結果、図8(c)に示すように誤動作を生じずに復調することができることが分かった。

【0060】以上のことから、本実施形態では、デジタル回路の負荷変動によるアナログ回路の誤動作を低減することができ、その結果として、高性能な非接触ICカードを実現することができる。

【0061】(実施の形態4) 図9は実施の形態4に係る非接触ICカードの構成を示す図である。本実施の形態と実施の形態3との相違点は、変調回路315が同調容量C3と並列に接続されて整流回路2の入力に接続されていることである。この変調回路315は、変調信号によって、半導体集積回路3のコイルアンテナL2間のインピーダンスを変調させる。

12

【0062】図10(a)は、図10(b)に示すような変調信号が入力された場合に、電源回路1を有する場合と電源回路1が無い場合について、コイルL2間のインピーダンスを示す図である。この図において、実線が電源回路1を有する場合を示し、点線が電源回路1が無い場合を示す。図10(c)に示すようにデジタル回路310で電流変動(負荷変動)が起こると、電源回路1が無い場合には、図10(a)に点線で示すように、コイルL2間のインピーダンスに影響を与える。これに対して、本実施形態のように電源回路1を有する非接触ICカードでは、図10(a)に実線で示すようにデジタル回路300の負荷変動による電源インピーダンスを一定にすることができる。

【0063】以上のことから、本実施形態では、デジタル回路の負荷変動によるアナログ回路の誤動作を低減することができ、その結果として、高性能な非接触ICカードを実現することができる。

【0064】なお、本発明は、上記実施の形態3および実施の形態4で説明した半導体集積回路3の具体例に限定されるものではない。電源回路として実施の形態1および実施の形態2で説明したような電源回路を有する非接触ICカードであれば、全て本発明の範囲に含まれる。

【0065】同調容量C3は、半導体集積回路3に形成したが、半導体チップの外部に実装しても良く、また、整流回路2またはコイルアンテナL2の寄生容量を用いてもよい。

【0066】さらに、上記実施の形態3および実施の形態4では、整流回路2として全波整流回路を用いたが、半波整流回路を用いてもよい。

【0067】以上のように、本発明は、高性能な非接触ICカードを得ることに対して大いに寄与するものであり、極めて有用なものである。

【0068】

【発明の効果】以上詳述したように、本発明によれば、電流検出回路を用いてデジタル電源電圧部等に流れる電流をモニタすることにより、デジタル回路等の負荷変動による電流変動分を検出し、その電流変動分を電源補償回路を用いて補償することにより、低ノイズで高性能な電源回路を実現することができる。

【0069】さらに、本発明によれば、本発明の電源回路を用いることにより、復調回路や変調回路を有する高性能な非接触ICカードを実現することができる。

【図面の簡単な説明】

【図1】実施の形態1に係る電源回路の構成を示す図である。

【図2】実施の形態2に係る電源回路の構成を示す図である。

【図3】本発明に係る電源回路の構成を示す図である。

【図4】実施の形態1および実施の形態2の電源回路に

10

20

30

40

50

(8)

13

における他の電流回路の構成を示す図である。

【図5】実施の形態3に係る非接触ICカードの構成を示す図である。

【図6】実施の形態3の非接触ICにおける整流回路の構成を示す図である。

【図7】実施の形態3において、振幅変調された信号を整流した後の波形AVDDを示す図である。

【図8】(a)は実施の形態3において、デジタル回路の消費電流を示す図であり、(b)は電源回路を有する場合と無い場合について電源電圧AVDDを示す図であり、(c)は電源回路を有する場合と無い場合について復調信号を示す図である。

【図9】実施の形態4に係る非接触ICカードの構成を示す図である。

【図10】(a)は実施の形態4において、電源回路を有する場合と無い場合についてコイルL2間のインピーダンスを示す図であり、(b)は変調信号を示す図であり、(c)はデジタル回路の消費電流を示す図である。

【図11】従来の半導体集積回路の構成を示す図である。

【図12】(a)および(b)は従来の半導体集積回路に流れる電流I1と電源電圧VDD1との関係を示す図である。

【図13】ヒステリシス特性を有するコンパレータの入出力特性を示す図である。

【符号の説明】

- 1 電源回路
- 2 整流回路
- 3 半導体集積回路
- 4 非接触ICカード

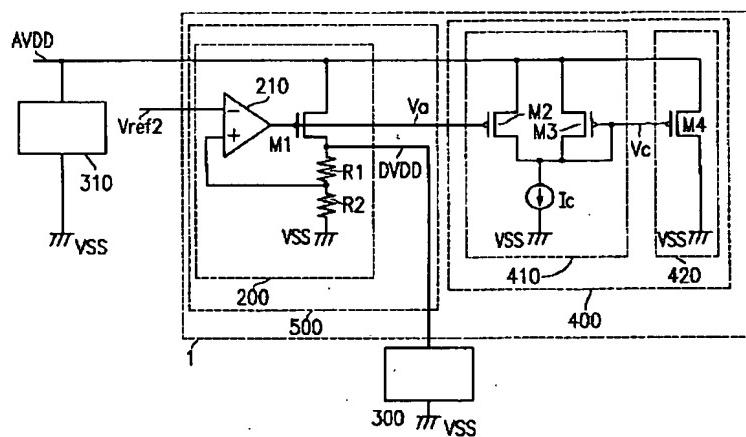
(8)

14

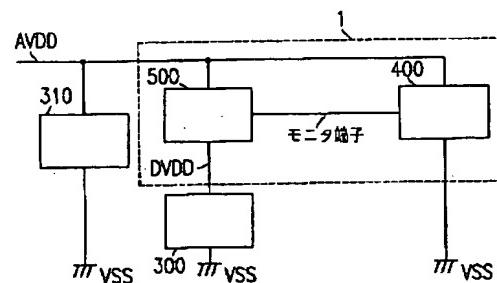
200	リニアレギュレータ
210	演算増幅器
300	デジタル回路
301	CPU
302	メモリ
310	アナログ回路
311	復調回路
315	変調回路
400	電流補償回路
410	引き算回路
420	電流回路
430	差動増幅回路
440	参照電圧発生回路
500	電流検出回路
M1, M2, M3, M4, M10, M11, M12, M13	トランジスタ
R1, R2, R3, R10, R11, R12	抵抗
Ic, I10	電流源
L1	インダクタ
L2	コイルアンテナ
C3	同調容量
C4	充電容量
D1, D2, D3, D4	ダイオード
VDD, VDD1, DVDD, AVDD	電源電圧
VSS	グランド
Vref1, Vref2	基準電圧
Vref3	参照電圧
Va	モニタ電圧
Vc	制御電圧

30

【図1】

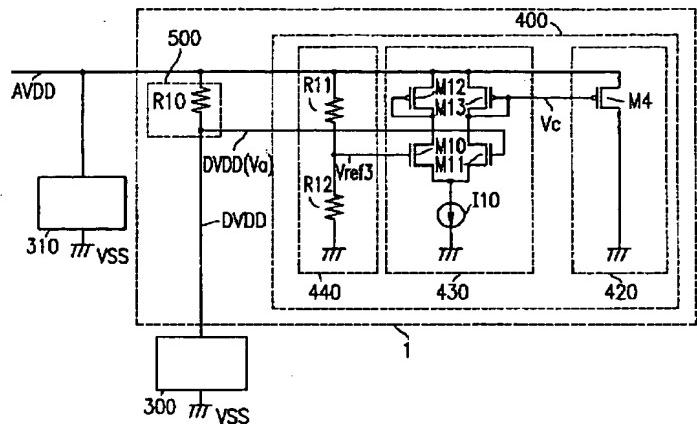


【図3】

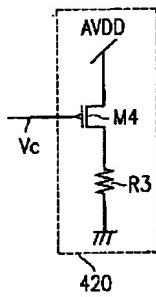


(9)

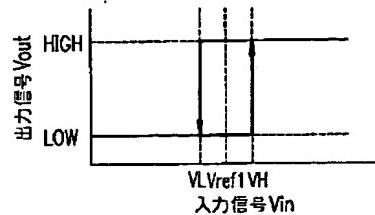
【図 2】



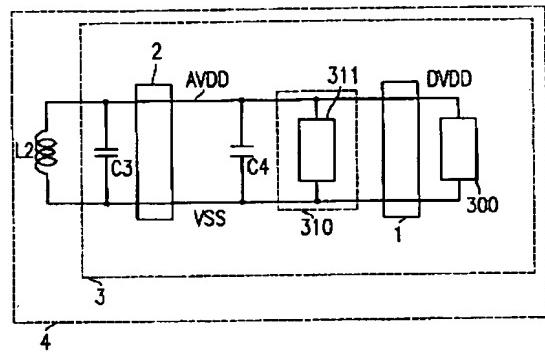
【図 4】



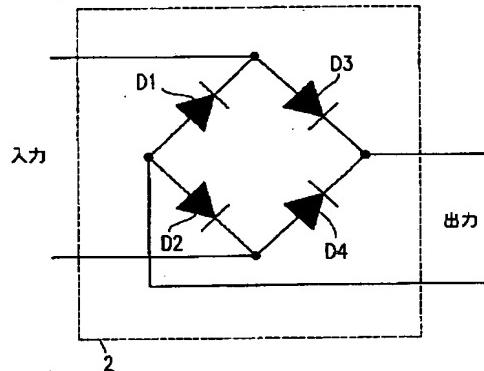
【図 13】



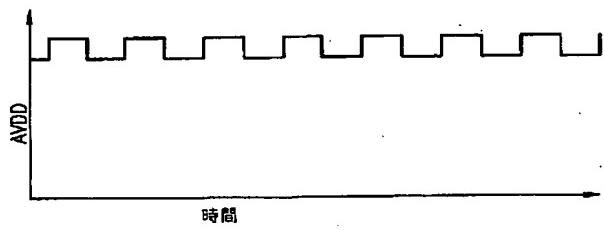
【図 5】



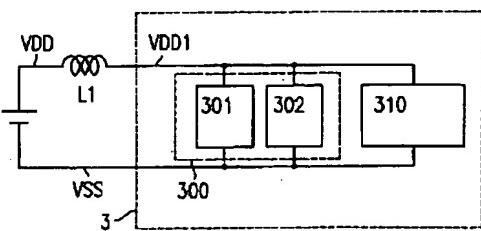
【図 6】



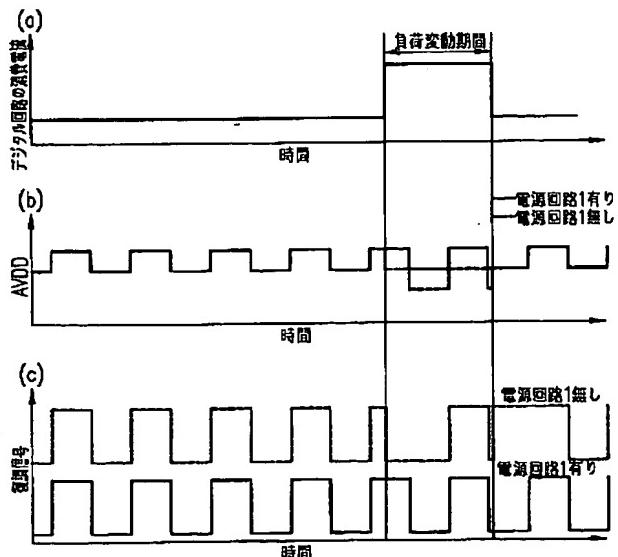
【図 7】



【図 11】

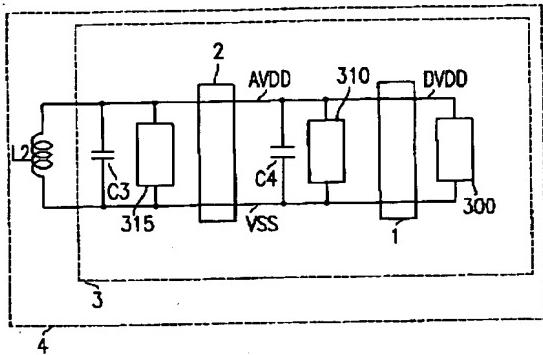


【図 8】

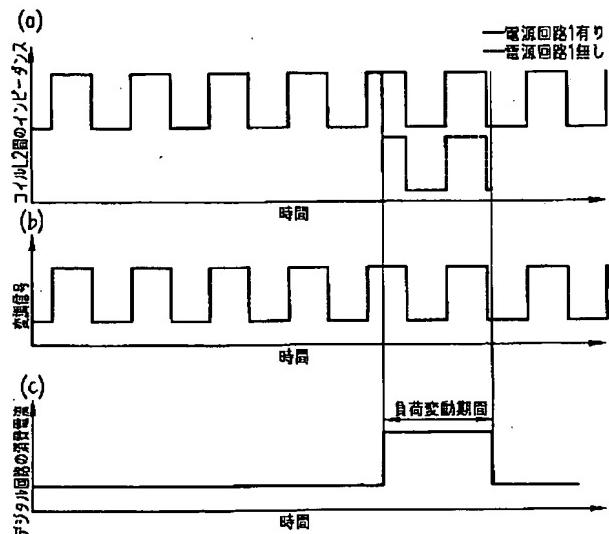


(10)

【図9】



【図10】



【図12】

